

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-045585

(43)Date of publication of application : 14.02.1992

(51)Int.Cl.

H01L 45/00

H01L 27/10

H01L 29/788

H01L 29/792

(21)Application number : 02-152678

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 13.06.1990

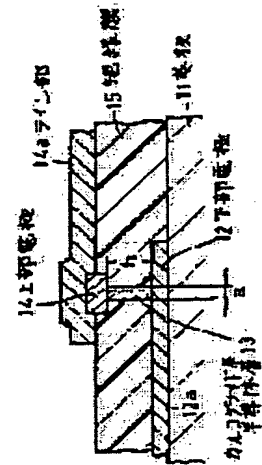
(72)Inventor : SASAKI MAKOTO

(54) PHASE TRANSITION TYPE MEMORY ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To reduce a current value of reset pulse which switches a memory element from 'on' state to 'off' state by making an entire region of a semiconductor layer a current path.

CONSTITUTION: In a phase transition type memory element of this invention, a chalcogenide semiconductor layer between a lower electrode and an upper electrode is made a pillar semiconductor layer having diameter of 1.5 to 0.1 μ m which is smaller than a diameter of 2 to 3 μ m of a current path formed in a semiconductor layer of a conventional phase transition type memory element. Thereby, an entire region of the semiconductor layer becomes a current path. According to the phase transition type memory element, a diameter of a semiconductor layer is small and a volume of a current path (a volume of a entire of the semiconductor layer) is thereby small; therefore, it is possible to reduce a current value of reset pulse to change a chalcogenide semiconductor form crystal state to amorphous state and to reload a memory element from 'on' state to 'off' state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

③ 日本国特許庁(JP)

⑩ 特許出願公開

② 公開特許公報(A) 平4-45585

④ Int. Cl.³

H 01 L 45/00
27/10
29/788
29/782

識別記号

4 3 1 B

庁内整理番号

6810-4M
8831-4M

④公開 平成4年(1992)2月14日

7514-4M H 01 L 29/78 3 7 1

審査請求 未請求 請求項の数 2 (全8頁)

⑥発明の名称 相転移型メモリ素子およびその製造方法

⑦特 願 平2-152878

⑧出 願 平2(1990)6月13日

⑨発 明 者 佐々木 誠 東京都八王子市石川町2951番地の5 カシオ計算機株式会
社八王子研究所内

⑩出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

相転移型メモリ素子およびその製造方法

2. 特許請求の範囲

(1) 絶縁性基板上に形成された下部電極と、この下部電極の上に形成された柱状のカルコゲナイド系半導体層と、この半導体層の周囲に少なくとも前記半導体層の高さ以上の厚さに形成された絶縁層と、前記半導体層の上端面の上に形成された上部電極とからなり、かつ前記半導体層の直径を1.5μm～0.1μmの範囲にしたことを特徴とする相転移型メモリ素子。

(2) 絶縁性基板上に下部電極を形成した後、この基板上にカルコゲナイド系半導体層を堆積させる工程と、この半導体層の前記下部電極上の部分の上に直径が1.5μm～0.1μmより径かに大きい上部電極を形成する工程と、この上部電極をマスクとして前記半導体層をエッチングし、前記上部電極の下に直径1.5μm～0.1μmの柱状半導体層を致す工程と、この炭素記基板上

に絶縁材を塗布して少なくとも前記半導体層の高さ以上の厚さの絶縁層を形成する工程とからなることを特徴とする相転移型メモリ素子の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、カルコゲナイド系半導体を用いた相転移型メモリ素子およびその製造方法に関するものである。

〔従来の技術〕

最近、不揮発性メモリ素子として、カルコゲナイド系半導体を用いた相転移型のメモリ素子が開発されている。

この相転移型メモリ素子は、基本的には一対の電極間にカルコゲナイド系の半導体層を介在させたもので、この相転移型メモリ素子としては、従来、第3図に示すような構造のものが知られている。

この相転移型メモリ素子の構造を説明すると、図中1はガラス板等からなる絶縁性基板であり、この基板1上には下部電極2とそのライン部2・

が形成され、さらにこの基板1上には、前記下部電極2およびライン部2aを覆う絶縁膜3が形成されている。この絶縁膜3には、下部電極2の一部を露出させる開口4が形成されており、この開口4は一般に直径 $5\mu\text{m} \sim 10\mu\text{m}$ の大きさに形成されている。そして、カルコゲナイド系の半導体層5は、前記絶縁膜3の開口4内からその周囲の絶縁膜上面にわたって形成されており、開口4内の部分の下面において前記下部電極2の上面に接している。また、前記絶縁膜3の上には前記半導体層5を覆って上部電極6が形成されており、前記半導体層5の上面はこの上部電極6に接している。なお、6aは上部電極6のライン部である。

この相転移型メモリ素子は、カルコゲナイド系半導体のアモルファス状態から結晶状態および結晶状態からアモルファス状態への相転移を利用してオン状態とオフ状態とに書換えられるもので、例えば半導体層5の厚さを $0.3\mu\text{m}$ とした相転移型メモリ素子は、パルス幅 $30\mu\text{sec} \sim 200$

μsec 、波高 $5\text{V} \sim 10\text{V}$ のセットパルスの印加によりオン状態となり、パルス幅 $0.3\mu\text{sec}$ 、電流値 100mA のリセットパルスの印加によりオフ状態に戻される。すなわち、下部電極2と上部電極6との間に前記セットパルスを印加すると、この電極2、6間の半導体層5中に生じるフィラメント状の電流パスAを流れる電流によりジュール熱が発生して半導体層5の電流パスA部分がアモルファス状態から結晶状態に相転移し、電流パスAの抵抗値が低くなってメモリ素子がオン状態となる。なお、第3図では半導体層5中に生ずる電流パスAを半導体層5の中央部に図示しているが、この電流パスAは、半導体層5の最も電流が高れやすい箇所形成される。また、カルコゲナイド系半導体は、結晶化した後は印加電圧を下げてもジュール熱をなくしてもアモルファス状態に戻らず、したがってメモリ素子のオン状態はそのまま保持される。また、電極2、6間に前記リセットパルスを印加すると、半導体層5の電流パスA部分が一旦溶融した後その熱を周囲の半導体層

5に奪われて急冷され、この電流パスA部分が結晶状態からアモルファス状態に戻って電流パスAの抵抗値が高くなり、メモリ素子がオフ状態となる。また、図出しは、電極2、6の一方に図出しパルスを印加し、メモリ素子のオン、オフ状態に応じて変化する他方の電極の出力を採取することで行なわれる。

ところで、この相転移型メモリ素子においては、その半導体層5中に生ずるフィラメント状の電流パスAの直径 ϕ は $2\mu\text{m} \sim 3\mu\text{m}$ 程度であり、半導体層5のアモルファス状態と結晶状態との相転移は電流パスA部分に発生するだけであるが、半導体層5の相転移領域(電流パスAが形成される部分)を除く部分がその全域にわたってアモルファス状態であれば、半導体層5の相転移領域以外の部分は常に高抵抗であるから、半導体層5の面積がどのような大きさであっても、メモリ素子の特性にはほとんど差がない。このため従来の相転移型メモリ素子では、電極2、6間を絶縁する絶縁膜3に直径 $5\mu\text{m} \sim 10\mu\text{m}$ の大きさの開

口4を設けてこの部分全体に半導体層5を形成している。

〔発明が解決しようとする課題〕

しかしながら、前記従来の相転移型メモリ素子は、その半導体層5中に生ずる電流パスAの直径 ϕ が $2\mu\text{m} \sim 3\mu\text{m}$ 程度であり、この電流パスA部分の半導体が結晶状態とアモルファス状態とに相転移するため、この相転移領域の体積が大きく、したがって、半導体層5の相転移領域を結晶状態からアモルファス状態に戻してメモリ素子をオン状態からオフ状態に書換えるリセットパルスとして大きな電流パルス(半導体層5の厚さが $0.3\mu\text{m}$ の場合で 100mA)を必要とするという問題をもっていた。

また、前記従来の相転移型メモリ素子は、半導体層5の相転移領域を除く部分がその全域にわたってアモルファス状態となっていることが必要であるため、その製造時のプロセス温度に制約があるという問題ももっていた。これは、相転移型メモリ素子の製造過程においてプロセス温度がカル

コゲナイド半導体の結晶化温度（アモルファス状態から結晶状態に相転移する温度） T_c を越え、しかもその後徐冷されると、半導体層がその全体にわたって結晶化してしまうためである。なお、半導体層が結晶化しても、これを溶融して急冷すれば半導体層をアモルファス状態に戻すことができるが、面積の大きな半導体層の全体をアモルファス状態に戻すには大きな電流パルス（例えば半導体層の幅が $10\mu\text{m}$ 、厚さが $0.3\mu\text{m}$ の場合は、数 100mA ）を電極2、6間に印加しなければならないため、電極2、6間を絶縁している絶縁膜3に絶縁破壊を発生させるおそれがある。このため、従来の相転移型メモリ素子は、前記結晶化温度 T_c を越えないようなプロセス温度で製造されているが、カルコゲナイド半導体の結晶化温度 T_c は、この半導体の組成にもよるが 50°C ～ 200°C であるため、この温度以下にプロセス温度を抑えるには製造プロセスの自由度が大きく制約され、したがって、例えば同じ基板1上に相転移型メモリ素子をマトリック

ス状に配列形成するとともにその駆動回路を構成する選択トランジスタを形成する場合に、前記選択トランジスタの製造プロセスも温度上の制約を受けてしまう。

さらに、前記従来の相転移型メモリ素子は、半導体層の面積が大きいため、メモリの素子面積を小さくして集積度を上げることができないという問題ももっていた。

本発明はこのような実情にかんがみてなされたものであって、その目的とするところは、カルコゲナイド系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に切換えるリセットパルスの電流値を小さくすることができるとともに、製造時のプロセス温度の制約もなくして製造プロセスの自由度を広げることができ、しかも素子面積も小さくして集積度を上げることができる相転移型メモリ素子を提供するとともに、あわせてその製造方法を提供することにある。

（課題を解決するための手段）

本発明の相転移型メモリ素子は、絶縁性基板上に形成された下部電極と、この下部電極の上に形成された柱状のカルコゲナイド系半導体層と、この半導体層の両面に少なくとも前記半導体層の高さ以上の厚さに形成された絶縁膜と、前記半導体層の上端面の上に形成された上部電極とからなり、かつ前記半導体層の直径を $1.5\mu\text{m}$ ～ $0.1\mu\text{m}$ の範囲にしたことを特徴とするものである。

また、本発明の相転移型メモリ素子の製造方法は、絶縁性基板上に下部電極を形成した後、この基板上にカルコゲナイド系半導体層を堆積させる工程と、この半導体層の前記下部電極上の部分の上に直径が $1.5\mu\text{m}$ ～ $0.1\mu\text{m}$ より僅かに大きい上部電極を形成する工程と、この上部電極をマスクとして前記半導体層をエッチングし、前記上部電極の下に直径 $1.5\mu\text{m}$ ～ $0.1\mu\text{m}$ の柱状半導体層を残す工程と、この後前記基板上に絶縁材を塗布して少なくとも前記半導体層の高さ以

上の厚さの絶縁膜を形成する工程とからなることを特徴とするものである。

（作用）

すなわち、本発明の相転移型メモリ素子は、下部電極と上部電極との間のカルコゲナイド系半導体層を、従来の相転移型メモリ素子においてその半導体層に形成される電流パスの直径（ $2\mu\text{m}$ ～ $3\mu\text{m}$ ）より小さな直径（ $1.5\mu\text{m}$ ～ $0.1\mu\text{m}$ ）の柱状半導体層とすることにより、この半導体層の全体が電流パスとなるようにしたものであり、この相転移型メモリ素子によれば、半導体層の直径が小さく、したがって電流パスの体積（半導体層全体の体積）が小さいため、カルコゲナイド系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に切換えるリセットパルスの電流値を小さくすることができる。なお、本発明において前記半導体層の直径を $1.5\mu\text{m}$ ～ $0.1\mu\text{m}$ の範囲としているのは、この半導体層の直径を $1.5\mu\text{m}$ より大きくすると、リセットパルスの電流値をあまり小さく

することができなくなり、また半導体層の直径を $0.1\mu\text{m}$ より小さくすると、半導体層の直径が小さすぎて安定した相転移が得られなくなるためである。また、この相転移型メモリ素子では、半導体層の全縁が電流バスとなってこの半導体層全体がアモルファス状態と結晶状態とに相転移するため、半導体層の初期状態はアモルファス状態でも結晶状態でもよく、したがって、その製造過程でプロセス温度が半導体の結晶化温度を超えても構わないから、製造時のプロセス温度の制約もなくして製造プロセスの自由度を広げることができる。しかも、この相転移型メモリ素子では、半導体層の直径を小さくしているため、素子面積も小さくして集積度を上げることができる。さらに、この相転移型メモリ素子では前記半導体層の周囲に少なくとも半導体層の高さ以上の厚さに絶縁膜を形成しているから、半導体層の直径が $1.5\mu\text{m}\sim 0.1\mu\text{m}$ と非常に小さくても、この半導体層をその周囲の絶縁膜で補強することができる。したがって機械的な強度も十分である。

の上には下部電極12およびそのライン部12aが形成されている。そして、前記下部電極12の上には、柱状のカルコゲナイド系半導体層13が垂直に形成されている。この半導体層13はその断面形状がほぼ円形をなしており、その高さhは $0.1\mu\text{m}\sim 0.5\mu\text{m}$ 、直径aは $1.5\mu\text{m}\sim 0.1\mu\text{m}$ の範囲となっている。なお、カルコゲナイド系半導体としては、例えばGe-Te、In-Se、Sb-Ge-Te等の各種組成の半導体があり、この実施例でもこれら半導体を用いている。この半導体層13の上端面の上には、この半導体層13の直径より僅かに大きい直径($3\mu\text{m}\sim 1\mu\text{m}$ 程度)の円形な上部電極14が形成されている。また、前記基板11上には、前記半導体層13の周囲に密着する絶縁膜15が形成されており、この絶縁膜15は、基板11のほぼ全面にわたって、半導体層13の高さh以上でかつ前記上部電極14の上面が露出する厚さに形成されている。この絶縁膜15は、前記半導体層13の補強と、下部電極12およびそのライン部

また、本発明の相転移型メモリ素子の製造方法によれば、下部電極を形成した基板の上にカルコゲナイド系半導体層を堆積させ、この半導体層の上に直径が $1.5\mu\text{m}\sim 0.1\mu\text{m}$ より僅かに大きい上部電極を形成して、この上部電極をマスクとして前記半導体層をエッチングすることにより前記上部電極の下に直径 $1.5\mu\text{m}\sim 0.1\mu\text{m}$ の柱状半導体層を設けているから、前記上部電極を利用して半導体層を柱状にパターニングすることができ、したがって前記相転移型メモリ素子を容易に製造することができるし、また前記半導体層を柱状にパターニングした後に前記基板上に絶縁膜を塗布して絶縁膜を形成しているため、この絶縁膜を半導体層の周囲に密着させて形成して、この絶縁膜で半導体層を補強させることができる。

(実施例)

以下、本発明の一実施例を図面を参照して説明する。

第1図はこの実施例の相転移型メモリ素子の断面図であり、ガラス板等からなる絶縁性基板11

12aと上部電極14およびそのライン部14aとの間を絶縁する層間絶縁膜とを兼ねており、上部電極14のライン部14aは、この絶縁膜15の上に上部電極14の上に重ねて配線されている。

第2図は前記相転移型メモリ素子の製造工程図であり、この相転移型メモリ素子は次のようにして製造される。

まず、第2図(a)に示すように、基板11上にCr等の金属膜を堆積し、この金属膜をフォトリソグラフィ法によりパターニングして下部電極12とそのライン部12aを形成する。

次に、第2図(b)に示すように、前記基板11上にその全面にわたってカルコゲナイド系半導体層15をCVD法等により $0.1\mu\text{m}\sim 0.5\mu\text{m}$ の厚さに堆積させ、さらにこの半導体層15の上に上部電極14となるCr等の金属膜Mを堆積させる。

次に、第2図(c)に示すように、前記金属膜Mをフォトリソグラフィ法によりパターニングして、前記下部電極12に対応する部分に直径3

$\mu\text{m} \sim 1 \mu\text{m}$ 程度の円形な上部電極14を形成する。

次に、第2図(d)に示すように、この上部電極14をマスクとして前記半導体層13をエッチングして、この上部電極14の下の部分に直径 $1.5 \mu\text{m} \sim 0.1 \mu\text{m}$ の柱状の半導体層14を残す。この半導体層13のエッチングは等方性エッチングによって行なう。この等方性エッチングによって半導体層13をエッチングすると、半導体層13の上部電極14でマスクされていない部分がエッチング除去されるとともに、上部電極14の下に柱状に残る半導体層13の外周がサイドエッチングされて、この柱状半導体層13の直径が上部電極14の直径より小さくなる。なお、半導体層13の外周のサイドエッチング量は、エッチング時間によって決まるから、上部電極14の直径とエッチング時間とを選択すれば、 $1.5 \mu\text{m} \sim 0.1 \mu\text{m}$ の範囲の任意の直径の半導体層13を残すことができる。

次に、第2図(e)に示すように、基板11上

下部電極12と上部電極14との間のカルコゲナイド系半導体層13を、直径 a が $1.5 \mu\text{m} \sim 0.1 \mu\text{m}$ の柱状半導体層としたものであり、この相転移型メモリ素子では、その半導体層13の直径 a が従来の相転移型メモリ素子においてその半導体層に形成される電流バスの直径($2 \mu\text{m} \sim 3 \mu\text{m}$)より小さいため、半導体層13の全域が電流バスとなる。

そして、この相転移型メモリ素子によれば、半導体層13の直径が小さく、したがって電流バスの体積(半導体層13全体の体積)が小さいため、カルコゲナイド系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に切換えるリセットパルスの電流値を小さくすることができる。

すなわち、下記の表は、半導体層13の高さ h を $0.3 \mu\text{m}$ にした場合の、半導体層13の直径と、この半導体層13を結晶状態からアモルファス状態に相転移させるのに必要なリセットパルスの電流値との関係を示している。

に、SOC(スピン・オン・ガラス)またはポリイミド樹脂等の塗布型絶縁材からなる絶縁膜15を上部電極14の上面高さより十分厚く被着させる。この場合、前記塗布型絶縁材は塗布時には液体であり、塗布後に焼成されて固体とされるものであるため、その塗布時に絶縁材が上部電極14の下に入り込んで半導体層13の外周に密接する。なお、塗布した絶縁材の焼成は、カルコゲナイド半導体の結晶化温度 T_c を超える温度で行なってもよい。

次に、第2図(f)に示すように、前記絶縁膜15を上部電極14の上面を露出させかつ半導体層13の上端は露出させない厚さまでエッチングバックする。

次に、第2図(g)に示すように、前記絶縁膜15の上に、Cr等の金属材料を堆積しこの金属材料をフォトリソグラフィ法によりパターンニングする方法で、上部電極14の上に重なるライン部14aを形成し、相転移型メモリ素子を完成する。すなわち、この実施例の相転移型メモリ素子は、

直径(μm)	2.0	1.5	1.0	0.5	0.2	0.1
電流(mA)	190	56.3	25.0	6.2	1.0	0.25

この表のように、半導体層13の直径が従来の相転移型メモリ素子においてその半導体層に形成される電流バスの直径と同程度($2 \mu\text{m}$)である場合は、半導体層13を結晶状態からアモルファス状態に相転移させるのに必要なリセットパルスの電流値は 100mA と従来の相転移型メモリ素子とはほぼ同じであるが、半導体層13の直径を $1.5 \mu\text{m}$ にすると、前記リセットパルスの電流値は 56.3mA と、従来の相転移型メモリ素子のほぼ $1/2$ 程度で済み、さらに半導体層13の直径を小さくすると、リセットパルスの電流値もさらに小さくすむ。

なお、この実施例において、半導体層13の直径 a を $1.5 \mu\text{m} \sim 0.1 \mu\text{m}$ の範囲としているのは、半導体層13の直径を $1.5 \mu\text{m}$ より大きくするとリセットパルスの電流値をあまり小さくすることができなくなり、また半導体層13の直径を $0.1 \mu\text{m}$ より小さくすると安定した相転移

が得られなくなるためである。

また、この相転移型メモリ素子では、半導体層13の全域が電流パスとなってこの半導体層全体がアモルファス状態と結晶状態とに相転移するため、半導体層13の初期状態はアモルファス状態でも結晶状態でもよく、したがって、その製造過程でプロセス温度が半導体13の結晶化温度を超えても構わないから、製造時のプロセス温度の制約もなくして製造プロセスの自由度を広げることができる。したがって、例えば同じ基板11上に相転移型メモリ素子をマトリクス状に配列形成するとともにその駆動回路を構成する薄膜トランジスタを形成する場合でも、前記薄膜トランジスタの製造プロセスに温度上の制約を受けることはない。

しかも、この相転移型メモリ素子では、半導体層13の直径を小さくしているため、素子面積も小さくして集積度を上げることができる。

さらに、この相転移型メモリ素子では半導体層13の周囲にこの半導体層13の高さ以上の厚さ

形成して、この絶縁膜15で半導体層13を補強させることができる。

なお、前記実施例では、半導体層13の周囲に密着する絶縁膜15を、半導体層13の高さ以上でかつ上部電極14の上面が露出する厚さに形成しているが、この絶縁膜15は、半導体層13の上表面と面一な厚さとしてもよく、要は少なくとも半導体層13の高さ以上の厚さであればよい。

また、前記実施例の製造方法では、基板11上に堆積させたカルコゲナイド系半導体層13を、その上に形成した上部電極14をマスクとしてエッチングして柱状にパターニングしているが、この半導体層13のパターニングは、フォトリソをマスクとするフォトリソグラフィ法によって行なってもよく、その場合は、基板11上に堆積させた半導体層13の上に直径が1.5 μm 〜0.1 μm より僅かに大きいフォトリソ層を形成し、このフォトリソ層をマスクとして半導体層13をエッチングして直径1.5 μm 〜

0.1 μm の柱状半導体層を形成しているから、半導体層13の直径が1.5 μm 〜0.1 μm と非常に小さくても、この半導体層13をその周囲の絶縁膜15で補強することができ、したがって機械的な強度も十分である。

また、前記実施例の相転移型メモリ素子の製造方法では、下部電極12を形成した基板11上にカルコゲナイド系半導体層13を堆積させ、この半導体層13の上に直径が1.5 μm 〜0.1 μm より僅かに大きい上部電極14を形成して、この上部電極14をマスクとして前記半導体層13をエッチングすることにより上部電極14の下に直径1.5 μm 〜0.1 μm の柱状半導体層13を残しているから、上部電極14を利用して半導体層13を柱状にパターニングすることができ、したがって前記相転移型メモリ素子を容易に製造することができるし、また前記半導体層13を柱状にパターニングした後に基板11上に絶縁材を塗布して絶縁膜15を形成しているため、この絶縁膜15を半導体層13の周囲に密着させて

0.1 μm の柱状半導体層を残した後、前記基板11上に絶縁材を塗布して絶縁膜15を形成し、この絶縁膜15をエッチングバックして、その上に上部電極14とそのライン部14aを同時に形成すればよい。この場合、半導体層13の上に形成したフォトリソ層は、絶縁膜15の形成前に剥離しても、絶縁膜15の形成後に剥離してもよい。なお、絶縁膜15の形成前にフォトリソ層を剥離した場合は、この後に塗布形成した絶縁膜15を半導体層13の上表面と面一になるまでエッチングバックして半導体層13の上表面を露出させればよく、また絶縁膜15の形成後にフォトリソ層を剥離する場合は、前記絶縁膜15をフォトリソ層の上面を露出させかつ半導体層13の上表面は露出させない厚さまでエッチングバックして、この後フォトリソ層を除去して半導体層13の上表面を露出させればよい。

【発明の効果】

本発明の相転移型メモリ素子は、下部電極と上部電極との間のカルコゲナイド系半導体層を、從

衆の用転移型メモリ素子においてその半導体層に形成される電流パスの直径 ($2\mu\text{m} \sim 3\mu\text{m}$) より小さな直径 ($1.5\mu\text{m} \sim 0.1\mu\text{m}$) の柱状半導体層とすることにより、この半導体層の全域が電流パスとなるようにしたものであるから、カルコゲナイド系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に切換えるリセットパルスの電流値を小さくすることができるし、また、半導体層の全域が電流パスとなってこの半導体層全体がアモルファス状態と結晶状態とに相転移するために半導体層の初期状態はアモルファス状態でも結晶状態でもよいから、製造時のプロセス温度の制約もなくして製造プロセスの自由度を上げることができる。しかも、この用転移型メモリ素子では、半導体層の直径を小さくしているため、素子面積も小さくして集積度を上げることができるし、さらに前記半導体層の周囲に少なくとも半導体層の高さ以上の厚さに絶縁膜を形成しているため、半導体層の直径が $1.5\mu\text{m} \sim 0.1\mu\text{m}$ と非常に小さくても、こ

の半導体層をその周囲の絶縁層で補強することができ、したがって機械的な強度も十分である。

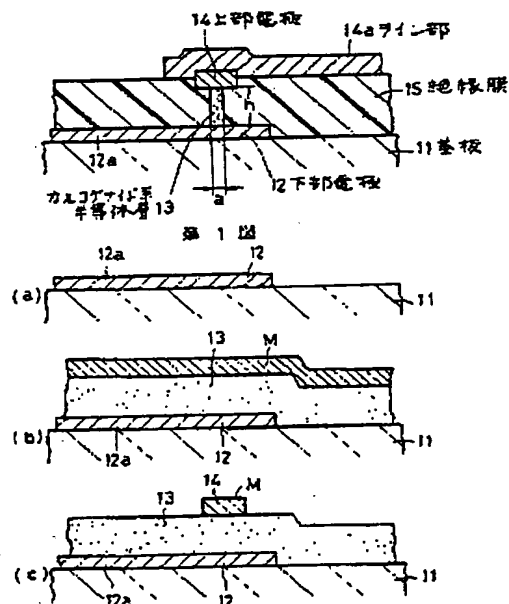
また、本発明の短転移型メモリ素子の製造方法によれば、下部電極を形成した基板上にカルコゲナイド系半導体層を堆積させ、この半導体層の上に直径が $1.5\mu\text{m}\sim 0.1\mu\text{m}$ より僅かに大きい上部電極を形成して、この上部電極をマスクとして前記半導体層をエッチングすることにより前記上部電極の下に直径 $1.5\mu\text{m}\sim 0.1\mu\text{m}$ の柱状半導体層を致しているから、前記上部電極を利用して半導体層を柱状にパターンニングすることができ、したがって前記短転移型メモリ素子を容易に製造することができるし、また前記半導体層を柱状にパターンニングした後に前記基板上に絶縁材を塗布して絶縁膜を形成しているため、この絶縁膜を半導体層の周囲に密着させて形成して、この短転移型半導体層を保護させることができる。

4. 図面の簡単な説明

第 1 図および第 2 図は本発明の一実施例を示す
相転移型メモリ素子の断面図およびその製造工程

図、第3図は従来の相転移型メモリ素子の断面図である。

1 1 … 舌板、1 2 … 下顎歯板、1 3 … カルコヤ
ナイド系半導体層、1 4 … 上顎歯板、1 4 a … ラ
イン部、1 5 … 絶縁膜。



第 2 回

出 願 人 カシオ計算機株式会社

